

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-108465

(43)Date of publication of application : 10.04.2002

(51)Int.Cl. G05F 1/56  
H01L 27/04  
H01L 21/822  
H03K 17/08  
H03K 17/14  
H03K 17/687

(21)Application number : 2000-294810 (71)Applicant : RICOH CO LTD

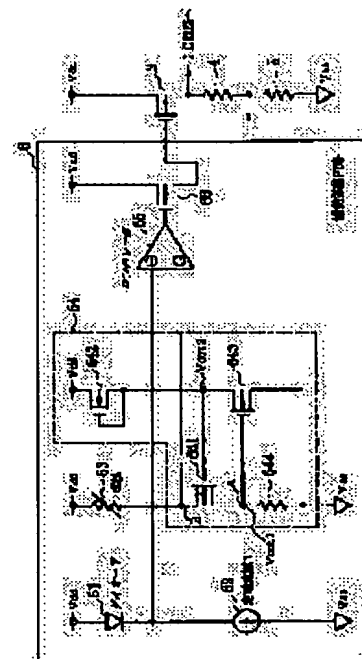
(22)Date of filing : 27.09.2000 (72)Inventor : MORINO KOICHI

(54) TEMPERATURE DETECTION CIRCUIT, HEATING PROTECTION CIRCUIT AND VARIOUS ELECTRONIC EQUIPMENT INCLUDING THESE CIRCUITS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a temperature detection circuit having a small occupancy area and small power consumption, a heating protection circuit and various pieces of electronic equipment including these circuits.

SOLUTION: This heating protection circuit comprises a circuit obtained by serially connecting a diode 61 having temperature dependence and a 1st current source 62 provided between a 1st voltage power supply Vdd and a 2nd voltage power supply Vss, a circuit obtained by serially connecting a 1st resistor 63 and a 2nd current source 64 provided between a 1st voltage power supply Vdd and a 2nd voltage power supply vss, and a comparator 65 for making the voltage of the junction of the diode 61 and the current source 62 to be a 1st input and the voltage of the junction of the resistor 63 and the current source 64 to be a 2nd input and outputting a comparison result signal. The 2nd current source 64 is configured by connecting MOS transistors 641, 642 and 643 as illustrated.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-108465  
(P2002-108465A)

(43) 公開日 平成14年4月10日 (2002.4.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 5 F 1/56	3 2 0	G 0 5 F 1/56	3 2 0 H 5 F 0 3 8
H 0 1 L 27/04		H 0 3 K 17/08	C 5 H 4 3 0
21/822		17/14	5 J 0 5 5
H 0 3 K 17/08		H 0 1 L 27/04	H
17/14		H 0 3 K 17/687	A

審査請求 未請求 請求項の数19 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-294810(P2000-294810)

(22) 出願日 平成12年9月27日 (2000.9.27)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 森野 航一

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(74) 代理人 100077274

弁理士 磯村 雅俊 (外1名)

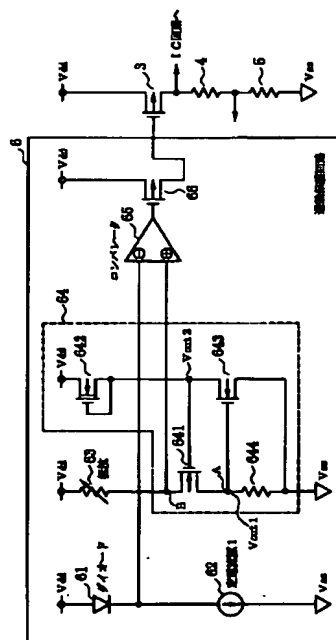
最終頁に続く

(54) 【発明の名称】 温度検知回路および加熱保護回路、ならびにこれらの回路を組み込んだ各種電子機器

(57) 【要約】

【課題】 占有面積が小さく、また消費電力の小さい温度検知回路および加熱保護回路ならびにこれらの回路を組み込んだ各種電子機器を提供すること。

【解決手段】 第1の電圧電源V<sub>dd</sub>と第2の電圧電源V<sub>ss</sub>との間に設けられた温度依存性を有するダイオード61と第1の電流源62が直列接続された回路と、第1の電圧電源V<sub>dd</sub>と第2の電圧電源V<sub>ss</sub>との間に設けられた第1の抵抗63と第2の電流源64が直列接続された回路と、ダイオード61と第1の電流源62の接続点の電圧を第1の入力、第1の抵抗63と第2の電流源64との接続点の電圧を第2の入力し比較結果信号を出力するコンパレータ65からなる。第2の電流源64はMOSトランジスタ641、642、643を図示のように接続して構成される。



【特許請求の範囲】

【請求項 1】 第 1 の電圧電源と第 2 の電圧電源との間に設けられた温度依存性を有するダイオードと第 1 の電流源が直列接続された回路と、

前記第 1 の電圧電源と第 2 の電圧電源との間に設けられた第 1 の抵抗と第 2 の電流源が直列接続された回路と、前記ダイオードと前記第 1 の電流源の接続点の電圧を第 1 の入力、前記第 1 の抵抗と前記第 2 の電流源との接続点の電圧を第 2 の入力として両入力の大小を比較し、比較結果信号を温度検知信号として出力する温度検知回路であって、

前記第 2 の電流源が温度依存性のない MOS トランジスタ回路構成を有することを特徴とする温度検知回路。

【請求項 2】 前記第 2 の電流源は、前記第 1 の抵抗にドレインが接続され、前記第 1 の電源にソースが接続された第 1 の MOS トランジスタと、前記第 1 の電源にドレインが接続され、ゲートとソースが前記第 1 の MOS トランジスタのゲートに接続されたディプレッション型 MOS トランジスタと、前記第 1 の MOS トランジスタのゲートと前記ディプレッション型 MOS トランジスタのゲートとソースにドレインが接続され、前記第 1 の MOS トランジスタのソースにゲートが接続され、ソースが前記第 2 の電源に接続された第 2 の MOS トランジスタを有するとともに、前記ディプレッション型 MOS トランジスタと前記第 2 の MOS トランジスタが当該第 2 の電流源に温度依存性が生じないような導電係数を有することを特徴とする温度検知回路。

【請求項 3】 前記第 1 の抵抗または前記第 2 の抵抗は、予め設けられている複数の抵抗のうちの任意の抵抗をレーザトリミング手法で処理して抵抗値が調整されたものであることを特徴とする請求項 1 または 2 記載の温度検知回路。

【請求項 4】 前記ダイオードは、レーザトリミング手法でサイズが調整されたものであることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の温度検知回路。

【請求項 5】 前記第 1 の電流源は、飽和結線したデプレッション型トランジスタで構成されることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の温度検知回路。

【請求項 6】 第 1 の電圧電源と第 2 の電圧電源との間に設けられた温度依存性を有するダイオードと第 1 の電流源が直列接続された回路と、

前記第 1 の電圧電源と第 2 の電圧電源との間に設けられた第 1 の抵抗と第 2 の電流源が直列接続された回路と、前記ダイオードと前記第 1 の電流源の接続点の電圧を第 1 の入力、前記第 1 の抵抗と前記第 2 の電流源との接続点の電圧を第 2 の入力として両入力の大小を比較し、比較結果信号に基づいて出力トランジスタのオンオフを制御するコンパレータとを有し、

前記第 2 の電流源が温度依存性のない MOS トランジスタ回路構成を有することを特徴とする過熱保護回路。

【請求項 7】 前記コンパレータに実質的にヒステリシスを持たせたことを特徴とする請求項 6 記載の過熱保護回路。

【請求項 8】 前記第 2 の電流源は、前記第 1 の抵抗にドレインが接続され、前記第 1 の電源にソースが接続された第 1 の MOS トランジスタと、前記第 1 の電源にドレインが接続され、ゲートとソースが前記第 1 の MOS トランジスタのゲートに接続されたディプレッション型 MOS トランジスタと、前記第 1 の MOS トランジスタのゲートと前記ディプレッション型 MOS トランジスタのゲートとソースにドレインが接続され、前記第 1 の MOS トランジスタのソースにゲートが接続され、ソースが前記第 2 の電源に接続された第 2 の MOS トランジスタを有するとともに、前記ディプレッション型 MOS トランジスタと前記第 2 の MOS トランジスタが当該第 2 の電流源に温度依存性が生じないような導電係数を有することを特徴とする請求項 6 または 7 記載の過熱保護回路。

【請求項 9】 前記第 1 の抵抗または前記第 2 の抵抗は、予め設けられている複数の並列接続されている抵抗のうちの任意の抵抗をレーザトリミング手法で処理して抵抗値が調整されたものであることを特徴とする請求項 6 ～ 8 のいずれか 1 項に記載の過熱保護回路。

【請求項 10】 前記ダイオードは、レーザトリミング手法でサイズが調整されたものであることを特徴とする請求項 6 ～ 9 のいずれか 1 項に記載の過熱保護回路。

【請求項 11】 前記第 1 の電流源は、飽和結線したデプレッション型トランジスタで構成されることを特徴とする請求項 6 ～ 10 のいずれか 1 項に記載の過熱保護回路。

【請求項 12】 前記ダイオードを、前記 IC へ電源電圧を供給する出力トランジスタの近傍に配置したことを特徴とする請求項 6 ～ 11 のいずれか 1 項に記載の加熱保護回路。

【請求項 13】 前記ダイオードを取り囲むように前記出力トランジスタを配置したことを特徴とする請求項 12 記載の過熱保護回路。

【請求項 14】 請求項 1 ～ 5 のいずれかに記載された温度検知回路または請求項 6 ～ 13 のいずれかに記載された加熱保護回路を組み込んだことを特徴とする IC 回路。

【請求項 15】 請求項 1 ～ 5 のいずれかに記載された温度検知回路または請求項 6 ～ 13 のいずれかに記載された加熱保護回路を組み込んだことを特徴とする携帯用電子機器。

【請求項 16】 請求項 1 ～ 5 のいずれかに記載された温度検知回路または請求項 6 ～ 13 のいずれかに記載された加熱保護回路を組み込んだことを特徴とするボルテージ・レギュレータ。

【請求項 17】 請求項 1 ～ 5 のいずれかに記載された

温度検知回路または請求項6～13のいずれかに記載された加熱保護回路を組み込んだことを特徴とするDC-DCコンバータ。

【請求項18】 請求項1～5のいずれかに記載された温度検知回路または請求項6～13のいずれかに記載された加熱保護回路を組み込んだことを特徴とするバッテリーバック。

【請求項19】 請求項1～5のいずれかに記載された温度検知回路または請求項6～13のいずれかに記載された加熱保護回路を組み込んだことを特徴とする車載用電装品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、温度検知回路および加熱保護回路ならびにこれらの回路を組み込んだIC、携帯電話などの携帯用電子機器、ボルテージ・レギュレータ、DC-DCコンバータ、バッテリーバック、車載用電装品、各種家電製品などに関する。

【0002】

【従来の技術】図9は、従来の一般的なボルテージ・レギュレータの回路構成を示す図である（例えば、特開平8-272461号公報参照）。同図において、71は基準電圧源、72は誤差増幅回路（差動増幅回路）、73は出力トランジスタ、74は出力端子、R1、R2は抵抗である。基準電圧源71から出力された電圧V<sub>ref</sub>と、出力トランジスタ73と抵抗R1、R2から検出された電圧を誤差増幅回路72で比較し、その比較結果により出力トランジスタ73を制御するようにして、出力端子74への出力電圧V<sub>out</sub>を安定化させている。

【0003】上記の如きボルテージ・レギュレータ構成において、出力トランジスタ73に大きな電流を流した場合、または出力トランジスタ73のソースドレイン間電圧を大きくした場合、出力トランジスタ73の消費電力が大きくなり発熱する。この発熱によりボルテージ・レギュレータの温度が高くなりすぎると、このICは破壊される可能性がある。このためICの温度を検出し、ICを過熱から保護することが必要である。

【0004】なお、ボルテージ・レギュレータとして、バイポーラトランジスタを使ったバンドギャップ回路を用いたものが知られている（例えば、特開平7-13643号公報の図7、実公平7-51620号公報の第3図参照）。ボルテージ・レギュレータをバイポーラトランジスタで構成した場合は、構造的にバイポーラトランジスタとダイオードは類似したものであるため、製造工程が温度検出用のダイオードと同じ工程でよいという利点だけではなく、検出温度の精度がよく、ばらつきを少なくすることができるという利点がある。

【0005】

【発明が解決しようとする課題】しかしながら、上記の如くバイポーラトランジスタを用いてボルテージ・レギ

ュレータを構成した場合は、占有面積が大きく、また消費電力の大きいという問題があった。

【0006】本発明は、これらの問題点を解消することを目的としている。具体的には、

①請求項1～5記載の発明は、占有面積が小さく、また消費電力の小さい温度検知回路、特に請求項3記載の発明は、抵抗値を精度よく調整することが可能な、請求項4記載の発明は、ダイオードのサイズを調整することが可能な、請求項5記載の発明は、定電流源を簡単な構成にすることが可能な温度検知回路を提供することを目的としている。

【0007】②また、請求項6～11記載の発明は、占有面積が小さく、また消費電力の小さい加熱保護回路、特に請求項8記載の発明は、抵抗値を精度よく調整することが可能な、請求項10記載の発明は、ダイオードのサイズを調整することが可能な、請求項11記載の発明は、定電流源を簡単な構成にすることが可能な、請求項12および13記載の発明は、温度検知を効率よくかつ精度よく検知することが可能な温度検知回路を提供することを目的としている。

【0008】③さらに、請求項14～19記載の発明は、占有面積が小さく、また消費電力の小さい温度検知回路または加熱保護回路を組み込んだ各種機器を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、従来バイポーラトランジスタを使ったバンドギャップ回路を用いたものに代えて、MOSトランジスタを用いるようにしたものである。各請求項の具体的な構成を以下に示す。

【0010】（1）請求項1記載の温度検知回路は、第1の電圧電源と第2の電圧電源との間に設けられた温度依存性を有するダイオードと第1の電流源が直列接続された回路と、第1の電圧電源と第2の電圧電源との間に設けられた第1の抵抗と第2の電流源が直列接続された回路と、前記ダイオードと第1の電流源の接続点の電圧を第1の入力、第1の抵抗と前記第2の電流源との接続点の電圧を第2の入力として両入力の大小を比較し、比較結果信号を温度検知信号として出力することを特徴とする温度検知回路であって、第2の電流源が温度依存性のないMOSトランジスタ回路構成を有することを特徴としている。

【0011】（2）請求項2記載の温度検知回路は、請求項1記載の第2の電流源が、第1の抵抗にドレインが接続され、第1の電源にソースが接続された第1のMOSトランジスタと、第1の電源にドレインが接続され、ゲートとソースが第1のMOSトランジスタのゲートに接続されたディプレッション型のMOSトランジスタと、第1のMOSトランジスタのゲートとディプレッション型MOSトランジスタのゲートとソースにドレイン

が接続され、第1のMOSトランジスタのソースにゲートが接続され、ソースが第2の電源に接続された第2のMOSトランジスタを有し、ディプレッション型MOSトランジスタと第2のMOSトランジスタが当該第2の電流源に温度依存性が生じないような導電係数を有することを特徴としている。

【0012】(3) 請求項3記載の温度検知回路は、さらに前記第1の抵抗または第2の抵抗を、予め設けられている複数の抵抗のうちの任意の抵抗をレーザトリミング手法で処理して抵抗値を調整したものに特定したものである。抵抗値を調整し基準電圧を制御することにより検出温度の制御、高精度化が可能となる。

【0013】(4) 請求項4記載の温度検知回路は、さらに前記ダイオードを、レーザトリミング手法でサイズが調整されたものに特定したものである。これによりダイオードの順方向バイアスを制御でき、検出温度の制御、高精度化が可能となる。

【0014】(5) 請求項5記載の発明は、さらに前記第1の電流源を、飽和結線したデプレッション型トランジスタで構成されるものに特定したものである。これにより温度依存性のない定電流源を簡単に構成できる。

【0015】(6) 請求項6記載の加熱保護回路は、第1の電圧電源と第2の電圧電源との間に設けられた温度依存性を有するダイオードと第1の電流源が直列接続された回路と、第1の電圧電源と第2の電圧電源との間に設けられた第1の抵抗と第2の電流源が直列接続された回路と、前記ダイオードと第1の電流源の接続点の電圧を第1の入力、第1の抵抗と第2の電流源との接続点の電圧を第2の入力として両入力の大小を比較し、その比較結果信号に基づいて出力トランジスタのオンオフを制御するコンパレータとを有し、第2の電流源が温度依存性のないMOSトランジスタ回路構成を有することを特徴としている。請求項7記載の発明は、前記コンパレータに実質的にヒステリシスを持たせたことを特徴としている。

【0016】(7) 請求項8記載の加熱保護回路は、前記第2の電流源が、第1の抵抗にドレインが接続され、第1の電源にソースが接続された第1のMOSトランジスタと、第1の電源にドレインが接続され、ゲートとソースが第1のMOSトランジスタのゲートに接続されたディプレッション型のMOSトランジスタと、第1のMOSトランジスタのゲートと前記ディプレッション型MOSトランジスタのゲートとソースにドレインが接続され、第1のMOSトランジスタのソースにゲートが接続され、ソースが第2の電源に接続された第2のMOSトランジスタを有するとともに、ディプレッション型MOSトランジスタと第2のMOSトランジスタが当該第2の電流源に温度依存性が生じないような導電係数を有することを特徴としている。

【0017】(8) 請求項9記載の加熱保護回路は、さ

らに第1の抵抗または前記第2の抵抗を、予め設けられている複数の抵抗のうちの任意の抵抗をレーザトリミング手法で処理して抵抗値が調整されたものに特定したものである。これにより検出温度の制御、高精度化が可能となる。

【0018】(9) 請求項10記載の過熱保護回路は、さらに前記ダイオードを、レーザトリミング手法でサイズが調整されたものに特定したものである。これによりダイオードの順方向バイアスを制御でき、検出温度の制御、高精度化が可能となる。

【0019】(10) 請求項11記載の過熱保護回路は、さらに前記第1の電流源を、飽和結線したデプレッション型トランジスタで構成されるものに特定したものである。これにより温度依存性のない定電流源を簡単に構成できる。

【0020】(11) 請求項12記載の過熱保護回路は、さらに前記ダイオードを、ICへ電源電圧を供給する出力トランジスタの近傍に配置したことを、請求項13記載の過熱保護回路は、さらに、前記ダイオードを取り囲むように出力トランジスタを配置したことを特徴としている。

【0021】(12) 請求項14～請求項19記載の発明は、上記の如き温度検知回路または加熱保護回路を組み込んだIC回路、携帯用電子機器、ボルテージ・レギュレータ、DC-DCコンバータ、バッテリーパック、車載用電装品である。

【0022】

【発明の実施の形態】図1は、本発明に係る加熱保護回路をボルテージ・レギュレータに適用した場合の一実施例を説明するための図である。同図において、1は基準電圧源、2は誤差増幅回路（差動増幅回路）、3は出力トランジスタ（出力ドライバ）、4および5は抵抗である。

【0023】基準電圧源1、誤差増幅回路（差動増幅回路）2、出力トランジスタ3、および抵抗4、5は、それぞれ、図9における基準電圧源21、誤差増幅回路（差動増幅回路）22、出力トランジスタ23、出力端子24、抵抗R1、R2に相当している。6が温度上昇を検出して出力トランジスタ3をオフにして出力トランジスタ3やこれに接続されているICなどの温度破壊を防止するための本発明に係る加熱保護回路である。

【0024】図2は、図1における加熱保護回路6の一構成例である。同図において、61は温度依存特性を有するダイオード、62は定電流源1、63は抵抗、64は定電流源2、65はコンパレータ、66はpチャネルMOSトランジスタ、V<sub>dd</sub>は高電圧側の電源電圧、V<sub>ss</sub>は低電圧側の電源電圧（または接地電圧）である。

【0025】ダイオード61と定電流源1（62）の接続点の電圧（V<sub>F</sub>）をコンパレータ65の（+）入力端子に入力し、抵抗63と定電流源2（64）の接続点B

の電圧 (V<sub>ref</sub>) をコンパレータ 65 の (－) 入力端子に入力し、コンパレータ 65 の出力を p チャネル MOS トランジスタ 66 のゲートに印加し、該 p チャネル MOS トランジスタ 66 のドレインからの出力を出力トランジスタ 3 のゲートに印加し、該出力トランジスタ 3 のオン／オフを制御する。すなわち、電圧 (V<sub>F</sub>) が電圧 (V<sub>ref</sub>) より低い場合は出力トランジスタ 3 はオンであり、温度が上昇した場合にダイオード 61 の温度依存特性によりコンパレータ 65 の出力を反転して出力トランジスタ (ドライバトランジスタ) 3 をオフにして発熱を抑える。

【0026】加熱保護回路 6 の動作を、図 2 を参照してさらに詳細に説明する。ダイオード 61 を流れる電流は定電流源 1 (62) により一定の電流が流れる。定電流源 1 (62) は、好ましくは図 3 に実施例として示すような飽和結線されたデプレッション型 MOS トランジスタで構成される。一定電流を流した場合のダイオード 61 の順方向バイアス温度依存性は、シリコンの場合約  $-2\text{ mV}/^{\circ}\text{C}$  である。ダイオード 61 のカソード側の電圧 (V<sub>F</sub>) は、電源 V<sub>dd</sub> からダイオード 61 の温度に依存する順方向バイアス電圧を差し引いた電圧である。通常状態では電圧 (V<sub>F</sub>) < 基準電圧 (V<sub>ref</sub>) であり、コンパレータ 65 の出力により出力トランジスタ 3 はオンし、IC の温度を上昇させる。

【0027】IC の温度上昇に伴って電圧 (V<sub>F</sub>) は約  $-2\text{ mV}/^{\circ}\text{C}$  の割合で変化し、ついにはコンパレータ 65 の他方の入力電圧 (V<sub>ref</sub>) と等しくなり、コンパレータ 65 の出力が反転し、出力トランジスタ 3 がオフする。これによって出力トランジスタ 3 の発熱がなくなり、IC の温度が下がる。そして電圧 (V<sub>F</sub>) が基準電

$$I_1 = K_1 \times |V_{T1}|^2$$

トランジスタ 643 の導電係数を K<sub>2</sub>、しきい値を V<sub>T2</sub>、トランジスタ 643 のソースを流れる電流を I<sub>2</sub>、トランジスタ 641 と抵抗 644 の接続点の電圧を V<sub>o</sub>

$$I_2 = K_2 \times (V_{out1} - V_{T2})^2 \quad \dots\dots\dots \text{式 (2)}$$

トランジスタ 641 の導電係数を K<sub>3</sub>、しきい値を V<sub>T3</sub>、トランジスタ 641 のソースを流れる電流を I<sub>3</sub> と

$$I_3 = K_3 \times (V_{out2} - V_{out1} - V_{T3})^2 \quad \dots\dots\dots \text{式 (3)}$$

抵抗 644 を流れる電流を I<sub>R</sub> とすると、

$$I_R = V_{out1} / R$$

$$I_1 = I_2 \text{ より、}$$

$$V_{out1} = (K_1 / K_2)^{1/2} \times |V_{T1}| + V_{T2} \quad \dots\dots\dots \text{式 (4)}$$

室温におけるトランジスタ 642、643、641 のしきい値を V<sub>T10</sub>、V<sub>T20</sub>、V<sub>T30</sub> とし、しきい値

$$V_{T1} = V_{T10} + \Delta T \times \Delta V_{T1} \quad \dots\dots\dots \text{式 (5)}$$

$$V_{T2} = V_{T20} + \Delta T \times \Delta V_{T2} \quad \dots\dots\dots \text{式 (6)}$$

$$V_{T3} = V_{T30} + \Delta T \times \Delta V_{T3} \quad \dots\dots\dots \text{式 (7)}$$

室温におけるトランジスタ 642、643、641 の導電係数を K<sub>10</sub>、K<sub>20</sub>、K<sub>30</sub> とし、導電係数の 1℃

$$K_1 = (1 + \Delta T \times \Delta K_1) \times K_{10} \quad \dots\dots\dots \text{式 (8)}$$

圧 (V<sub>ref</sub>) よりも小さくなると再びコンパレータ 65 の出力が反転し出力トランジスタ 3 はオンになる。

【0028】次に、本実施例における過熱保護回路 6 を構成する基準電圧 (V<sub>ref</sub>) を生成する抵抗 63 と定電流回路源 64 からなる回路の具体例を説明する。基準電圧 (V<sub>ref</sub>) を生成する回路をバイポーラトランジスタを用いて構成した場合の問題、すなわち占有面積が大きく、消費電力の大きいという問題を解消するために、本実施例においては MOS 技術を用いて基準電圧 (V<sub>ref</sub>) を生成する回路を構成している。

【0029】図 4 は、図 2 の加熱保護回路 6 を MOS 技術を用いて構成した例であり、特に定電流回路 64 の具体例を示している。同図において、エンハンスメント型 n チャネル MOS トランジスタ 641、ディプレッション型 n チャネル MOS トランジスタ 642、エンハンスメント型 n チャネル MOS トランジスタ 643、および抵抗 644 により、図 2 の定電流回路 64 を構成している。参照符号 3、61、62、63、65、および 66 は、図 2 と同じである。

【0030】ディプレッション型 n チャネル MOS トランジスタ 642 とエンハンスメント型 n チャネル MOS トランジスタ 643 の導電係数を調節することにより温度依存性を無くすることができる。以下、その理由を説明する (特開平 8-30345 号公報参照)。図 4 において、電源電圧がトランジスタ 642、643、641 のしきい値電圧の絶対和より大きければ、それぞれのトランジスタはドレイン－ソース間電圧よりも大きく飽和領域で動作する。トランジスタ 642 の導電係数を K<sub>1</sub>、しきい値を V<sub>T1</sub>、トランジスタ 642 のソースを流れる電流を I<sub>1</sub> とすると、

$$\dots\dots\dots \text{式 (1)}$$

ut 1、トランジスタ 642 とトランジスタ 643 の接続点の電圧を V<sub>out2</sub> とすると、

すると、

の 1℃ 当たりの変化量をそれぞれ  $\Delta V_{T1}$ 、 $\Delta V_{T2}$ 、 $\Delta V_{T3}$  とすると、

$$\dots\dots\dots \text{式 (5)}$$

$$\dots\dots\dots \text{式 (6)}$$

$$\dots\dots\dots \text{式 (7)}$$

当たりの変化率をそれぞれ  $\Delta K_1$ 、 $\Delta K_2$ 、 $\Delta K_3$  とすると、

$$K_1 = (1 + \Delta T \times \Delta K_1) \times K_{10} \quad \dots\dots\dots \text{式 (8)}$$

$$K2 = (1 + \Delta T \times \Delta K2) \times K20 \dots \dots \dots \text{式 (9)}$$

$$K3 = (1 + \Delta T \times \Delta K3) \times K30 \dots \dots \dots \text{式 (10)}$$

室温における抵抗644の抵抗値をR0とし、抵抗の1℃当たりの変化量をΔRとすると、抵抗644の抵抗値

$$R = R0 + \Delta T \times \Delta R \dots \dots \dots \text{式 (11)}$$

式(4)に式(8)および(9)を代入する。同一基板上では、ΔK1=ΔK2とみなせるので、

$$V_{out1} = (K10/K20)^{1/2} \times |VT10| + VT20 + \Delta T \times (K10/K20)^{1/2} \times |\Delta VT1| + \Delta VT2 \dots \dots \dots \text{式 (12)}$$

これより、電圧Vout1とその温度変化率はトランジスタ642, 643, 641のしきい値および導電係数で決まる。導電係数K1, K2はトランジスタのチャネル長とチャネル幅で調整できるので、電圧Vout1の1℃当たりの変化量をコントロールでき、K10=K20とすれば、Vout1の温度変化率は、ディプレッション型MOSトランジスタとエンハンスメントMOSトランジスタで相殺されるのでゼロになる。以上説明したことにより、ディプレッション型nチャネルMOSトランジスタ642とエンハンスメント型nチャネルMOSトランジスタ643の導電係数を調節することにより温度依存性をなくすることができることがわかる。

【0031】図4に示すように、ゲートとソースが接続されたディプレッション型nチャネルMOSトランジスタ642は定電流源として動作し、ディプレッション型nチャネルMOSトランジスタ642とエンハンスメント型nチャネルMOSトランジスタ643には一定電流が流れる。従って、エンハンスメント型nチャネルMOSトランジスタ643のドレイン電圧とゲート電圧は一義的に決まった値となる。

【0032】エンハンスメント型nチャネルMOSトランジスタ643のドレインはエンハンスメント型nチャネルMOSトランジスタ641のゲートに、エンハンスメント型nチャネルMOSトランジスタ643のゲートはエンハンスメント型nチャネルMOSトランジスタ641のソースに、それぞれ接続されているので、エンハンスメント型nチャネルMOSトランジスタ641のゲート電圧とソース電圧(A点)も一義的に決まった値になる。

【0033】エンハンスメント型nチャネルMOSトランジスタ641を通過する電流値をI<sub>641</sub>、抵抗63の抵抗値をR<sub>63</sub>とすると、エンハンスメント型nチャネルMOSトランジスタ641のドレイン(B点)の電圧(VB)は、VB=V<sub>dd</sub>-I<sub>641</sub>×R<sub>63</sub>となる。ここで、抵抗644の抵抗値を変えることによりI<sub>641</sub>を変えられるので、抵抗63と抵抗644の抵抗値を変えることでB点の基準電圧(VB=V<sub>ref</sub>)を任意に調整することができる。

【0034】上述したようにB点の基準電位(VB=V<sub>ref</sub>)は、抵抗63と抵抗644の抵抗値を変えることによって調整することができるが、抵抗63と抵抗644の

抵抗値を変える方法としては、例えば、ポリシリコンまたはメタル薄膜などからなる複数の抵抗を設けておき、それらを選択的にレーザトリミングして調整する方法があり、これにより出力トランジスタ3をオフにする検出温度を所望の値に設定することが可能になる。

【0035】なお、出力トランジスタ3をオフにする検出温度を変えることは、ダイオード61の大きさを制御することによってダイオードの順方向バイアスを変えることによっても可能である。この場合も上記のようなレーザトリミング手法を適用できることはいうまでもない。

【0036】加熱保護回路6を構成する温度検出部(温度依存性のあるダイオード61)は、効率的にも精度的にも出力トランジスタ3の近傍に設けることが望まれる。図5は、加熱保護回路のチップ内レイアウトの一実施例を示す図であり、出力トランジスタ(ドライブトランジスタ、パワートランジスタ)を周辺に配置し、その中央部に温度検出部(温度依存性のあるダイオード61)を設けている例である。

【0037】上記実施例では、通常動作時で電圧(V<sub>F</sub>)が電圧(V<sub>ref</sub>)より低い間はコンパレータ65の出力により出力トランジスタ3がオンしているが、温度が上昇して電圧(V<sub>F</sub>)が電圧(V<sub>ref</sub>)と等しくなるとコンパレータ65の出力により出力トランジスタ3がオフになり電力消費がなくなって温度が低下し、温度の低下により電圧(V<sub>F</sub>)が電圧(V<sub>ref</sub>)より低くなったらコンパレータ65の出力により再度出力トランジスタ3がオンになる構成を説明したが、コンパレータ65をこのようなヒステリシス特性を持たない回路にした場合は次のような問題が生じる。

【0038】温度が上昇して出力トランジスタ3がオフになる→温度が低下→出力トランジスタ3がオンになる→電力消費により温度が上昇→出力トランジスタ3がオフになる→温度が低下→・・・を繰り返す現象いわゆる熱的発振状態が起こる。また、電圧(V<sub>F</sub>)が電圧(V<sub>ref</sub>)付近の場合にはノイズなどによっても出力トランジスタ3のオン・オフが繰り返される発振状態が起こることがある。

【0039】このような発振状態をなくしてコンパレータ65の出力を安定化させるためには、コンパレータ65の2つの入力電圧(V<sub>F</sub>)と(V<sub>ref</sub>)の大小判定

レベルにヒステリシスを持たせればよい。

【0040】図6は、ヒステリシスを有するコンパレータ65の一例を示す図である。同図において、651、652、655はnチャネルMOSトランジスタ、653、654、656、657はpチャネルMOSトランジスタであり、nチャネルMOSトランジスタ651とnチャネルMOSトランジスタ652のゲートサイズ（ゲート幅／ゲート長）を同一にし、pチャネルMOSトランジスタ653とpチャネルMOSトランジスタ654のゲートサイズ（ゲート幅／ゲート長（ $W/L$ ））を同一にし、pチャネルMOSトランジスタ656とpチャネルMOSトランジスタ657のゲートサイズ（ゲート幅／ゲート長）を同一にする。また、pチャネルMOSトランジスタ653、654の電流増幅率 $\beta$ をpチャネルMOSトランジスタ656、657の電流増幅率 $\beta$ より小さくするか、pチャネルMOSトランジスタ653、654、656の電流増幅率 $\beta$ をpチャネルMOSトランジスタ657の電流増幅率 $\beta$ より小さくする。

【0041】この構成において、温度が低く、nチャネルMOSトランジスタ652のゲートに加わる電圧（VF：入力端子（+））が、nチャネルMOSトランジスタ651のゲートへ加わる電圧（Vref：入力端子（-））より低い間は、nチャネルMOSトランジスタ651およびpチャネルMOSトランジスタ653、656がオン、nチャネルMOSトランジスタ652、pチャネルMOSトランジスタ654、657がオフとなる。このとき、nチャネルMOSトランジスタ652のドレイン電圧はインバータを介してpチャネルMOSトランジスタからなる出力トランジスタ3はオンにしている。

【0042】温度が上昇し、nチャネルMOSトランジスタ652のゲート電圧（VF：入力端子（+））が上昇し、nチャネルMOSトランジスタ651のゲート電圧と等しくなった時点で、nチャネルMOSトランジスタ652がオンし、pチャネルMOSトランジスタ654、657をオン、nチャネルMOSトランジスタ651、pチャネルMOSトランジスタ653、654をオフにする。nチャネルMOSトランジスタ652がオンすることにより、そのドレイン電圧は低下し、インバータを介してpチャネルMOSトランジスタからなる出力トランジスタ3をオフにする。

【0043】このとき、上述したように、pチャネルMOSトランジスタ653、654の電流増幅率 $\beta$ をpチャネルMOSトランジスタ656、657の電流増幅率 $\beta$ より小さくしたり、pチャネルMOSトランジスタ653、654、656の電流増幅率 $\beta$ をpチャネルMOSトランジスタ657の電流増幅率 $\beta$ より小さくしておくことにより、nチャネルMOSトランジスタ652のゲート電圧（VF：入力端子（+））が一旦高電圧になった後は、該入力端子（+）の電圧が低下してもpチャ

ネルMOSトランジスタ652はオン状態を継続しpチャネルMOSトランジスタからなる出力トランジスタ3をオフのまま保つ。このようにして入力端子（+）と入力端子（-）間の判定レベルにヒステリシスを持たせることによりpチャネルMOSトランジスタからなる出力トランジスタ3の動作を安定させることが可能になる。

【0044】なお、上記例は、入力端子（+）の電圧（VF）が入力端子（-）の電圧（Vref）と同じ電圧まで上昇した場合に出力が切り替わりpチャネルMOSトランジスタからなる出力トランジスタ3をオフとしたが、コンパレータ65の出力が切り替わる時の入力端子（+）と入力端子（-）の電圧差を自由に設定することも可能である。

【0045】例えば、図6において、コンパレータを構成するnチャネルMOSトランジスタ651とnチャネルMOSトランジスタ652のゲートのチャネルサイズ $W/L$ （幅／長さ）に違いを持たせ、入力端子（+）の電圧（VF）をV1と入力端子（-）の電位（Vref）をV2としたとき、 $V2 - V1$ が所定の値になったときコンパレータ65の出力が切り替わるようにすることができる。

【0046】一例をあげると、入力端子（-）の電圧（Vref）が3Vで、前記所定の値が0.2Vの場合を考えると、入力端子（+）の電圧（VF）は、温度上昇とともに上昇し、2.8Vになるとコンパレータ65の出力が切り替わり、出力トランジスタ3をオフにする。この構成により、出力トランジスタ3をオフに切り替える2つの入力端子の電圧差を所望のものにすることができ、本発明の加熱保護回路の設計に自由度を与えることができる。

【0047】次に、ヒステリシスを持たせるための別の構成を説明する。図7は、コンパレータ65の出力に実質的にヒステリシスを持たせるための回路構成図である。

【0048】同図において、通常状態では、 $V_F < V_{ref}$ なので、pチャネルMOSトランジスタM1（図2、4のpチャネルMOSトランジスタ66に対応）、nチャネルMOSトランジスタM7はオフである（このときのVrefをVref1とする）。温度が上昇し $V_F > V_{ref}$ になると、pチャネルMOSトランジスタM1、nチャネルMOSトランジスタM7はオンになる。pチャネルMOSトランジスタM1がオンになることによりpチャネルMOSトランジスタM0（図2、4の出力トランジスタ3に対応）がオフになる。

【0049】一方、nチャネルMOSトランジスタM7がオンすることにより、C点の電位がGND（接地）電位になり、抵抗1、nチャネルMOSトランジスタM6、抵抗2-1の経路を流れる電流が大きくなるので（A点の電位は一定）、Vrefの電位が下がる（このときのVref電位をVref2とすると、Vref1



>Vref2となる)。

【0050】温度が下がると、VFも低下してくるが、コンパレータ65が再び反転するにはVFがVref1ではなくVref2まで下がらないといけない。これによってヒステリシスを持たせることができる。

【0051】なお、図2は、高電圧の電源電圧Vdd側にダイオード61と抵抗63を、低電圧の電源電圧Vss側に定電流源62と64を設けた例であるが、図8に示すように、逆に、高電圧の電源電圧Vdd側に定電流源62'と64'を、低電圧の電源電圧Vss側にダイオード61'と抵抗63'を設けた構成でもよいことはいうまでもない。この場合の定電流源64'は、図4に示した定電流源64と同様の構成(VddとVssを逆にした構成)でよい。

【0052】以上の実施例では加熱保護回路について説明したが、本構成は、出力トランジスタのオンオフを制御して加熱に対する保護だけではなく、単にICなどの温度を検知する温度検知回路としても有用であることはいうまでもない。

【0053】上述した実施例の構成の加熱保護回路(または単に温度検知回路として)は、占有面積が小さく、また消費電力の小さく、また温度検知効率や検知精度をよくすることができるので、様々な機器、例えば、携帯電話などを初めとする各種携帯機器、DC-DCコンバータ、各種IC回路、ボルテージ・レギュレータ、バッテリー・バック、各種車載電装品など組み込む場合に好適である。

【0054】

【発明の効果】本発明は、次のような効果を有している。請求項1および6記載の発明によれば、MOS技術を用いて基準電圧回路を作っているため従来のプロセスを用いて占有面積が小さく消費電力の小さい温度検知回路および加熱保護回路を実現することができる。

【0055】請求項2および8記載の発明によれば、MOSトランジスタを用いて温度依存性のない定電流回路を実現できる。請求項3、4、9、10記載の発明によれば、レーザトリミング技術により検出温度の制御、高精度化が可能となる。また検出温度を後工程で定めることができる。

【0056】請求項5、11記載の発明によれば、温度依存性のない定電流源を簡単な構成で実現できる。請求項7記載の発明によれば、コンパレータに実質的にヒステリシスを持たせることにより、熱的発振を防止し安定した過熱保護回路を実現できる。請求項12、13記載の発明によれば、温度検知を効率よくかつ精度よく検知することが可能になる。請求項14~19記載の発明によれば、占有面積が小さく、消費電力が小さく、検知温

度を精度よく制御でき過熱保護機能を持つ各種機器を実現できる。

【図面の簡単な説明】

【図1】本発明に係る加熱保護回路をボルテージ・レギュレータに適用した場合の一実施例を説明するための図である。

【図2】図1における加熱保護回路6の一構成例である。

【図3】飽和結線されたデプレッション型MOSトランジスタで構成される定電流源の実施例である。

【図4】図2の加熱保護回路6をMOS技術を用いて構成した例である。

【図5】加熱保護回路のチップ内レイアウトの一実施例を示す図である。

【図6】ヒステリシスを有するコンパレータの一例を示す図である。

【図7】コンパレータに実質的にヒステリシスを持たせる別の実施例を示す図である。

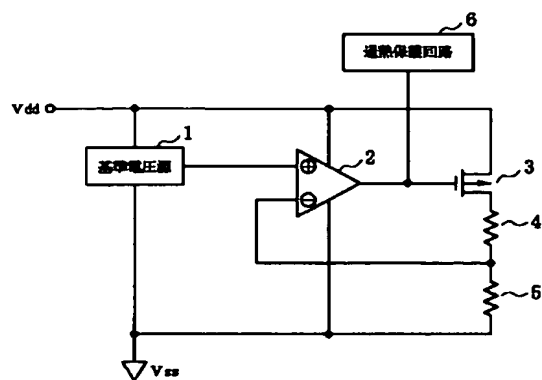
【図8】高電圧の電源電圧Vddと低電圧の電源電圧Vssを図2と反対にした構成を示す図である。

【図9】従来の一般的なボルテージ・レギュレータの回路構成を示す図である。

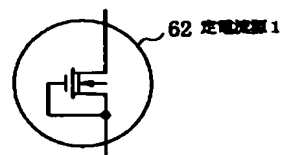
【符号の説明】

- 1, 21 : 基準電圧源、
- 2, 22 : 誤差増幅回路(差動増幅回路)、
- 3, 23 : 出力トランジスタ(出力ドライバ)、
- 4, 5, R1, R2 : 抵抗、
- 6 : 加熱保護回路、
- 61, 61' : 温度依存性を有するダイオード、
- 62, 62' : 定電流源、
- 63, 63' : 抵抗、
- 64, 64' : 定電流源、
- 641 : エンハンスメント型nチャネルMOSトランジスタ、
- 642 : ディプレッション型nチャネルMOSトランジスタ、
- 643 : エンハンスメント型nチャネルMOSトランジスタ、
- 644 : 抵抗、
- 65 : コンパレータ、
- 651, 652, 655 : nチャネルMOSトランジスタ、
- 653, 654, 656, 657 : pチャネルMOSトランジスタ、
- 66 : pチャネルMOSトランジスタ、
- Vdd : 高電圧側の電源電圧、
- Vss : 低電圧側の電源電圧(または接地電圧)。

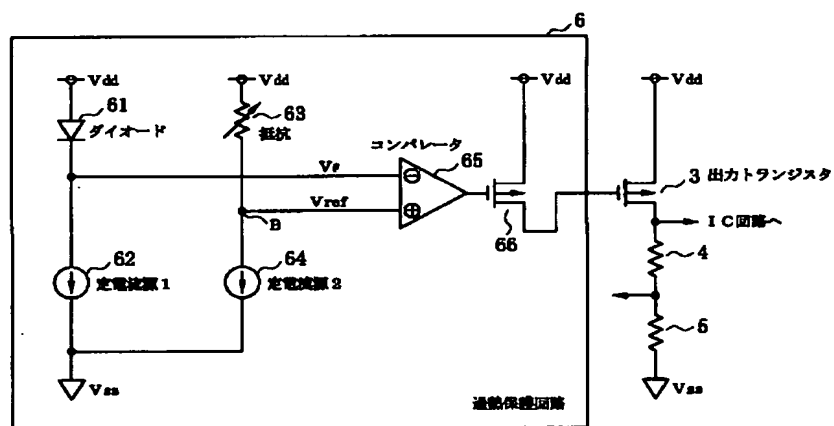
【図 1】



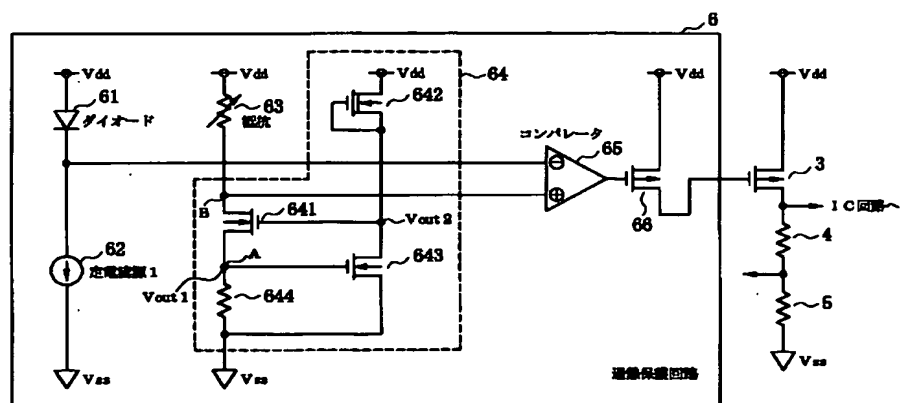
【図 3】



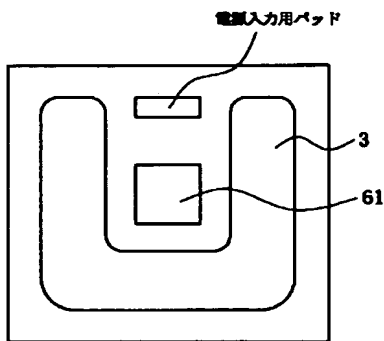
【図 2】



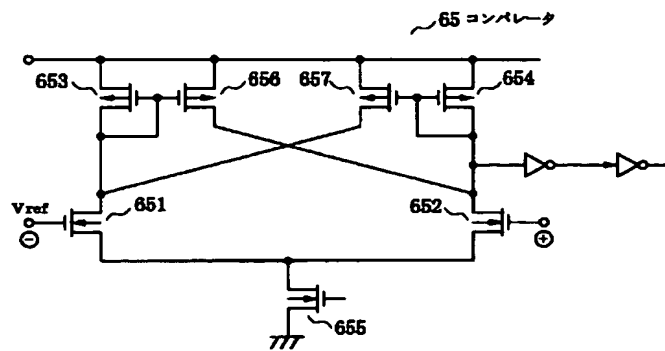
【図 4】



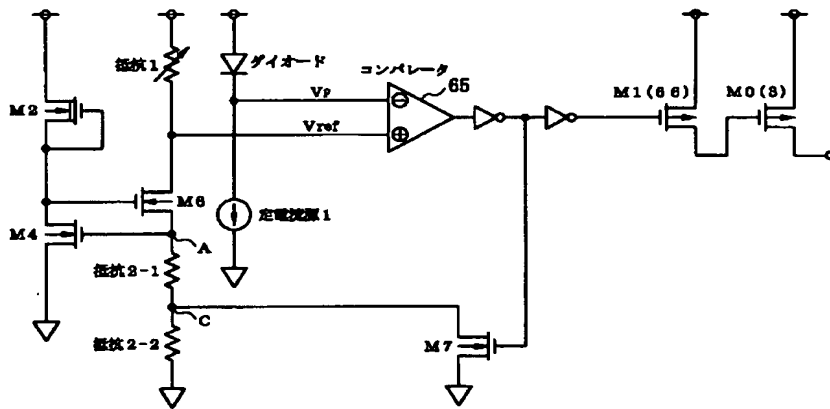
【図5】



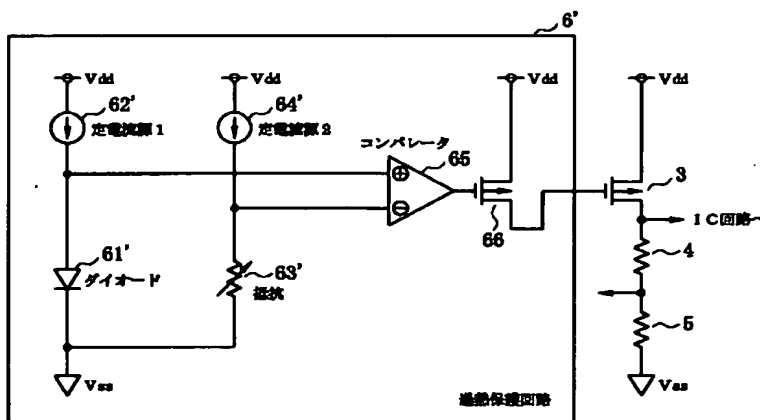
【図6】



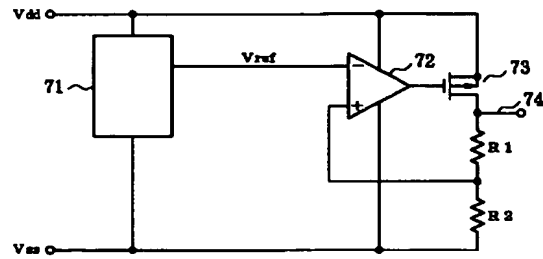
【図7】



【図8】



【図 9】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H 0 3 K 17/687

識別記号

F I

テーマコード (参考)

F ターム (参考) 5F038 AV03 BB08 BH02 BH04 BH05  
BH07 BH16 DF07 EZ20  
5H430 BB01 BB05 BB09 BB11 EE04  
FF02 FF13 GG09 HH03 HH07  
LA10 LA26  
5J055 AX12 AX15 AX32 AX44 AX64  
BX16 CX19 DX14 DX22 EX02  
EY01 EY02 EY12 EY21 EY23  
EY24 EZ03 EZ07 EZ08 EZ10  
EZ51 FX06 FX18 FX33 GX01  
GX08